

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-313071

(43)Date of publication of application : 09.11.1999

(51)Int.Cl.

H04L 12/28  
H04Q 3/00

(21)Application number : 10-118275

(71)Applicant : NEC CORP

(22)Date of filing : 28.04.1998

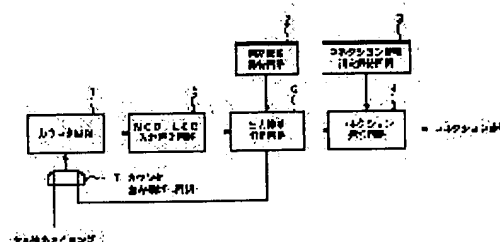
(72)Inventor : IMAI KUNIHIRO

## (54) ATM SWITCH BUFFER READ CONTROLLER AND CONTROL METHOD

### (57)Abstract:

PROBLEM TO BE SOLVED: To disperse the readout sequence of respective connection outputs in the read scheduling of a cell retained in a buffer on an ATM switch.

SOLUTION: A counter circuit 1 counts up one by one by a cell read timing signal and the counter value is transmitted to an exchange circuit 5. The exchange circuit 5 inversely exchanges the arrangement of the bits of a counter value shown by a binary number. An output band judgement circuit 6 compares the output value K of the exchange circuit 5 with a value Z which a period setting holding circuit 2 holds. When  $K > Z$ , a skip signal is sent to a counter skip circuit 7. When the skip signal is inputted, the counter skip circuit 7 counts up a counter circuit 1 by one and an operation is repeated. A connection selection circuit retrieves a connection band setting holding circuit 3 with a value passing through the output band judgement circuit 6 as an address and outputs a connection number which is held.



## LEGAL STATUS

[Date of request for examination]

28.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3129283

[Date of registration] 17.11.2000

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-313071

(43)公開日 平成11年(1999)11月9日

(51)Int.Cl.<sup>9</sup>

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

H

H 0 4 Q 3/00

H 0 4 Q 3/00

審査請求 有 請求項の数23 O L (全 9 頁)

(21)出願番号 特願平10-118275

(22)出願日 平成10年(1998)4月28日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 今井 邦弘

東京都港区芝五丁目7番1号 日本電気株式会社内

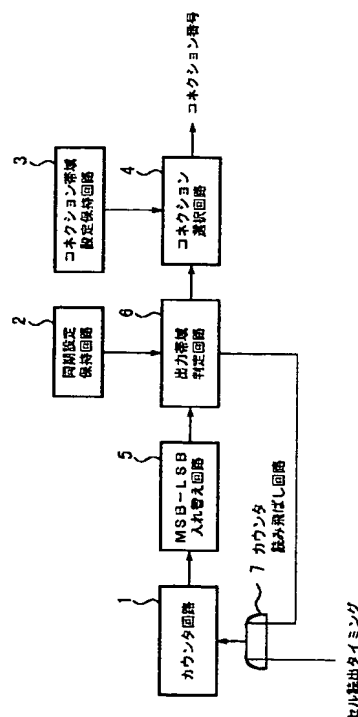
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 ATMスイッチバッファ読出制御装置及び制御方法

(57)【要約】

【課題】 ATMスイッチのバッファ内滞留セルの読み出しスケジューリングにおいて、各コネクション出力の読み出し順を分散化する。

【解決手段】 カウンタ回路1はセル読出タイミング信号により1ずつカウントアップを行いそのカウンタ値を入れ替え回路5に送出する。入れ替え回路5では2進数で示されたカウンタ値のビットの並びを逆順に入れ替える。出力帯域判定回路6では入れ替え回路5出力値Kと周期設定保持回路2が保持する値Zを比較し、 $K > Z$ である場合は読み飛ばし信号をカウンタ読み飛ばし回路7に送出する。カウンタ読み飛ばし回路7は読み飛ばし信号が入力された場合カウンタ回路1を1カウントアップさせ、上記の動作を繰り返す。コネクション選択回路4では出力帯域判定回路6を通過してきた値をアドレスとしてコネクション帯域設定保持回路3を検索し保持されている該当のコネクション番号を出力する。



## 【特許請求の範囲】

【請求項 1】 複数の異なる帯域のコネクションを収容する ATM スイッチにおける ATM スイッチバッファ読出制御装置であって、

外部から入力されるセル読出タイミング信号に応じて、読み出すべき前記コネクションの番号を指定するための変換信号を出力する変換信号生成手段と、前記変換信号に応じて、前記コネクションを指定するコネクション番号を出力するコネクション選択手段とを備えていることを特徴とする ATM スイッチバッファ読出制御装置。

【請求項 2】 請求項 1 記載の ATM スイッチバッファ読出制御装置であって、前記変換信号生成手段は、

入力されるセル読出タイミング信号に含まれるパルス数を計数した結果を計数信号として出力するカウンタ手段と、

前記計数信号を予め定められた規則に従い変換し、前記変換信号を出力する入れ替え手段とを備えていることを特徴とする ATM スイッチバッファ読出制御装置。

【請求項 3】 請求項 2 記載の ATM スイッチバッファ読出制御装置であって、

前記予め定められた規則は、前記コネクション選択手段から、同一の前記コネクション番号の連続出力数を低減することであることを特徴とする ATM スイッチバッファ読出制御装置。

【請求項 4】 請求項 2 記載の ATM スイッチバッファ読出制御装置であって、前記 ATM スイッチバッファ読出制御装置はさらに、

前記変換信号により定められる数と予め定められた帯域上限値とを比較し、その結果を比較信号として出力する出力帯域判定手段と、

前記比較信号が入力され、前記変換信号により定められる数が前記帯域上限値より大きい場合は、前記カウンタ手段に対し、1 だけ余分に計数することを指示するカウンタ動作信号を出力するカウンタ読み飛ばし手段とを備えていることを特徴とする ATM スイッチバッファ読出制御装置。

【請求項 5】 請求項 2 又は請求項 4 のいずれかの請求項に記載された ATM スイッチバッファ読出制御装置であって、

前記入れ替え手段は、前記計数信号の 2 進数表示値の各桁を逆順に並べ替えて変換信号として出力することの特徴とする ATM スイッチバッファ読出制御装置。

【請求項 6】 請求項 2 又は請求項 4 のいずれかの請求項に記載された ATM スイッチバッファ読出制御装置であって、

前記入れ替え手段は、疑似ランダム系列の 1 周期の所定の位置から前記計数値に応じて順に読み出した値を変換信号として出力することの特徴とする ATM スイッチバ

ッファ読出制御装置。

【請求項 7】 請求項 2 又は請求項 4 のいずれかの請求項に記載された ATM スイッチバッファ読出制御装置であって、

前記入れ替え手段は、

予め定められた初期値が初期値信号として入力され、予め定められた 2 以上の自然数ずつ、前記計数信号の増加に応じて前記初期値信号に順次加算して得られる自然数を第 1 の変換信号として出力する第 1 の変換手段と、

10 前記第 1 の変換信号と予め定められた最大数との大小を比較し、前記第 1 の変換信号が大きくない場合は、前記第 1 の変換信号を前記変換信号として出力し、前記第 1 の変換信号が大きい場合は、前記初期値信号に 1 を加えた値を前記初期値信号として第 1 の変換手段に入力するとともに前記変換信号として出力する第 2 の変換手段とを備えていることを特徴とする ATM スイッチバッファ読出制御装置。

【請求項 8】 請求項 2 又は請求項 4 のいずれかの請求項に記載された ATM スイッチバッファ読出制御装置であって、

前記入れ替え手段は、前記計数信号から前記変換信号への変換を、予め定められた初期値に、予め定められた 2 以上の自然数ずつ、前記計数信号の増加に応じて順次増加させて得られる増加自然数が予め定められた自然数より大きくない場合は前記増加自然数を前記変換信号とし、前記増加自然数が前記予め定められた自然数より大きい場合は前記初期値に 1 を加えた値を前記変換信号とし、さらに前記初期値と置き換えることにより行うことを特徴とする ATM スイッチバッファ読出制御装置。

30 【請求項 9】 請求項 2 乃至請求項 8 のいずれかの請求項に記載された ATM スイッチバッファ読出制御装置であって、

前記入れ替え手段は、入出力端子間の固定的な配線を備えていることを特徴とする ATM スイッチバッファ読出制御装置。

【請求項 10】 請求項 2 乃至請求項 8 のいずれかの請求項に記載された ATM スイッチバッファ読出制御装置であって、

前記入れ替え手段は、入力端子と出力端子を、外部から印加される制御信号に基づき選択的に接続するマトリクススイッチを備えていることを特徴とする ATM スイッチバッファ読出制御装置。

【請求項 11】 請求項 2 乃至請求項 8 のいずれかの請求項に記載された ATM スイッチバッファ読出制御装置であって、

前記入れ替え手段は、入力信号が読み出しアドレスを指定するための信号を入力するアドレス入力端子に接続され、記憶しているデータを前記変換信号として出力するメモリ素子を備えていることを特徴とする ATM スイッチバッファ読出制御装置。

【請求項 12】 請求項 2 乃至請求項 8 のいずれかの請求項に記載された A T M スイッチバッファ読出制御装置であって、

前記入替え手段は、前記 A T M スイッチの出力が入力される装置から入力されるセル廃棄の発生もしくは頻度の増加を通知するセル廃棄アラームに基づき、前記予め定められた規則が変更されることを特徴とする A T M スイッチバッファ読出制御装置。

【請求項 13】 請求項 10 記載の A T M スイッチバッファ読出制御装置であって、

前記マトリクススイッチに、前記 A T M スイッチの出力が入力される装置から入力されるセル廃棄の発生もしくは頻度の増加を通知するセル廃棄アラームが前記制御信号として入力されることを特徴とする A T M スイッチバッファ読出制御装置。

【請求項 14】 請求項 11 記載の A T M スイッチバッファ読出制御装置であって、

前記アドレス入力端子に、前記 A T M スイッチの出力が入力される装置から入力されるセル廃棄の発生もしくは頻度の増加を通知するセル廃棄アラーム及び前記計数信号が入力されることを特徴とする A T M スイッチバッファ読出制御装置。

【請求項 15】 複数の異なる帯域のコネクションを収容する A T M スイッチにおける A T M スイッチバッファ読出制御装置であって、

所定の段数のシフトレジスタ手段と、  
該シフトレジスタ手段の予め定められた少なくとも 1 つの段の出力が入力され、排他的論理和を算出して得られる排他的論理和信号を前記シフトレジスタ手段の初段に帰還する排他的論理和手段と、

前記シフトレジスタ手段の所定の段の出力信号に応じて所定のコネクション番号を出力するコネクション選択手段とを備えていることを特徴とする A T M スイッチバッファ読出制御装置。

【請求項 16】 複数の異なる帯域のコネクションを収容する A T M スイッチにおける A T M スイッチバッファ読出制御方法であって、

外部から入力されるセル読出タイミング信号に含まれるパルスの数を計数する計数工程と、

該計数工程で得られる計数値を所定の規則に従い、A T M スイッチに収容されたコネクションに付与されたコネクション番号に変換する変換工程とを含むことを特徴とする A T M スイッチバッファ読出制御方法。

【請求項 17】 前記変換工程が、  
前記計数値と前記コネクション番号の対応関係を規定したテーブルを参照して前記コネクション番号を決定する参照工程を含むことを特徴とする請求項 16 記載の A T M スイッチバッファ読出制御方法。

【請求項 18】 前記変換工程が、  
前記計数値を所定の規則に従い、変換値に変換する数値

変換工程と、

前記変換値と前記コネクション番号の対応関係を規定したテーブルを参照して前記コネクション番号を決定する参照工程とを含むことを特徴とする請求項 16 記載の A T M スイッチバッファ読出制御方法。

【請求項 19】 前記変換工程が、  
前記計数値を所定の規則に従い、変換値に変換する数値変換工程と、

前記変換値と予め定められた値との大小を比較する比較工程と、

該比較工程の結果、前記変換値の方が大きいことが判明したときは、前記計数工程を一旦中断する帰還工程と、  
前記変換値と前記コネクション番号の対応関係を規定したテーブルを参照して前記コネクション番号を決定する参照工程とを含むことを特徴とする請求項 16 記載の A T M スイッチバッファ読出制御方法。

【請求項 20】 前記数値変換工程が、  
前記計数値を 2 進数表示した場合の各桁を逆順に並べ替えて得られる 2 進数表示値を前記変換値とする工程を含むことを特徴とする請求項 18 又は請求項 19 のいずれかの請求項に記載された A T M スイッチバッファ読出制御方法。

【請求項 21】 前記数値変換工程が、  
疑似ランダム系列の 1 周期の所定の位置から前記計数値に応じて順に読み出した値を前記変換値とする工程を含むことを特徴とする請求項 18 又は請求項 19 のいずれかの請求項に記載された A T M スイッチバッファ読出制御方法。

【請求項 22】 前記数値変換工程が、  
前記計数値から前記変換値への変換を、予め定められた初期値に、予め定められた 2 以上の自然数ずつ、前記計数値の増加に応じて順次増加させて得られる増加自然数が予め定められた自然数より大きくない場合は前記増加自然数を前記変換値とし、前記増加自然数が前記予め定められた自然数より大きい場合は前記初期値に 1 を加えた値を前記変換値とし、さらに前記初期値と置き換える工程を含むことを特徴とする請求項 18 又は請求項 19 のいずれかの請求項に記載された A T M スイッチバッファ読出制御方法。

【請求項 23】 請求項 16 乃至請求項 22 のいずれかの請求項に記載された A T M スイッチバッファ読出制御方法であって、前記 A T M スイッチバッファ読出制御方法はさらに、

外部装置の動作状態を監視し、その結果に応じて前記変換工程における、前記所定の規則を変更するアルゴリズム変更工程を含むことを特徴とする A T M スイッチバッファ読出制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は A T M スイッチに設

けられるバッファ読出制御回路に関し、特に各コネクション毎の読出出力を分散化するATMスイッチのバッファ読出制御回路に関する。

#### 【0002】

【従来の技術】従来このようなバッファ読出制御回路は、一般的にATMスイッチのバッファ内にコネクション毎に滞留しているセルを読み出す場合の、読み出しコネクションの選択のために用いられている。

【0003】図8に、従来のATMスイッチバッファ読出制御回路の一例を示すブロック図を示す。本従来例は、カウンタ回路1、同期設定保持回路2、コネクション帯域設定保持回路3及びコネクション選択回路4により構成される。

【0004】カウンタ回路1は、定期的にカウントアップを行う。同期設定保持回路2はカウンタの周期を保持する。コネクション帯域設定保持回路3は、各コネクション毎の占有帯域値を保持する。コネクション選択回路4はカウンタ回路1の出力値とコネクション帯域設定保持回路3の保持値を比較し、該当するコネクション番号の選択を行う。

【0005】次に、動作を説明する。ATMスイッチの出力帯域がX、各コネクションの設定最小帯域がYである場合、同期設定保持回路2は $X/Y-1$ （以下Zとおく。）の値を保持する。また、始めにコネクション番号C1の設定帯域がW1の場合、コネクション帯域設定保持回路3のアドレス $0 \sim W1/Y-1$ にC1を設定、次に、コネクション番号C2の設定帯域がW2の場合、コネクション帯域設定保持回路3のアドレス $W1/Y \sim W1/Y+W2/Y-1$ にC2を設定する。以下同様にして各コネクションの設定帯域をコネクション帯域設定保持回路3に設定しておく。カウンタ回路1はATMスイッチ内部の制御回路から1セル処理時間毎に入力されるセル読出タイミング信号に従って+1ずつカウントアップされ、出力値がZと等しくなると初期値（=0）に戻される。コネクション選択回路4は1セル処理時間毎にカウンタ回路1から出力されるカウンタ値をアドレスとしてコネクション帯域設定保持回路3内に保持されている該当コネクション番号の検索を行う。

【0006】これにより、カウンタ回路1が1周期（0～Z）中に各コネクションは設定帯域に応じたセル数だけ出力される。

#### 【0007】

【発明が解決しようとする課題】ところがこの技術では、カウンタの1周期中で1コネクション毎に設定帯域分のセル数を連続出力する動作となるため、本スイッチの後段の装置におけるコネクション単位の処理部では同一コネクションのセルが集中して到着してしまい、これらを処理しきれなくなると瞬時的なセル廃棄を引き起こす原因となる可能性があるという問題がある。さらに、全てのコネクションの設定帯域の総和が本スイッチ

の出力帯域に満たない場合には、本スイッチの出力全体として見た場合にもカウンタの1周期中の後半に帯域の未割付部分（空セル出力）が集中するため、バースト的な出力となる。このため、本スイッチの後段の装置における入力処理部等においても、このバースト性を考慮し、必要以上に回路規模等が大きくなる必要があるという問題もある。本発明の主な目的は、各コネクション毎の読み出し動作がカウンタ1周期中で平均的に行われ同一コネクションのセルが分散して出力されるATMスイッチバッファ読出制御回路を提供することにある。

#### 【0008】

【課題を解決するための手段】上記の目的を達成するため、本発明のATMスイッチバッファ読出制御装置は、外部から入力されるセル読出タイミング信号に応じて、読み出すべき前記コネクション番号を指定するための変換信号を出力する変換信号生成手段と、前記変換信号に応じて、前記コネクションを指定するコネクション番号を出力するコネクション選択手段とを備えている。

【0009】ここで、前記変換信号生成手段は、入力されるクロック信号に含まれるパルス数を計数し、計数信号を出力するカウンタ手段と、前記計数信号を予め定められた規則に従い変換し、前記変換信号を出力する入れ替え手段を備えていてもよい。

【0010】さらに、前記ATMスイッチバッファ読出制御装置は、前記変換信号と予め定められた帯域上限値とを比較し、その結果を比較信号として出力する出力帯域判定手段と、前記比較信号が入力され、前記変換信号が前記帯域上限値より大きい場合は、前記カウンタ手段に対し、1だけ余分に計数することを指示するカウンタ動作信号を出力するカウンタ読み飛ばし手段とを備えていてもよい。

【0011】さらに、前記入れ替え手段は、前記計数信号の2進数表示値の各桁を逆順に並べ替えて変換信号として出力する構成としてもよく、また、疑似ランダム系列の1周期の所定の位置から前記計数値に応じて順に読み出した値を変換信号として出力する構成としてもよい。

【0012】あるいは、前記入れ替え手段は、予め定められた初期値が初期値信号として入力され、予め定められた2以上の自然数ずつ、前記計数信号の増加に応じて前記初期値信号に順次加算して得られる自然数を第1の変換信号として出力する第1の変換手段と、前記第1の変換信号により定められる自然数と予め定められた最大数との大小を比較し、前記第1の変換信号が大きい場合は、前記第1の変換信号を前記変換信号として出力し、前記第1の変換信号が大きい場合は、前記初期値信号に1を加えた値を前記初期値信号として第1の変換手段に入力するとともに前記変換信号として出力する第2の変換手段とを備えていてもよい。

【0013】また、前記入れ替え手段は、前記計数信号

から前記変換信号への変換を、予め定められた初期値に、予め定められた2以上の自然数ずつ、前記計数信号の増加に応じて順次増加させて得られる増加自然数が予め定められた自然数より大きくない場合は前記増加自然数を前記変換信号とし、前記増加自然数が前記予め定められた自然数より大きい場合は前記初期値に1を加えた値を前記変換信号とし、さらに前記初期値と置き換える機能を有していてもよい。

【0014】さらに、前記入れ替え手段は、入出力端子間の固定的な配線、入力端子と出力端子を、外部から印加される制御信号に基づき選択的に接続するマトリクススイッチ、あるいは、入力信号が読み出しアドレスを指定するための信号を入力するアドレス入力端子に接続され、記憶しているデータを前記変換信号として出力するメモリ素子、のいずれかを備えていてもよい。

【0015】また、前記入れ替え手段は、前記ATMスイッチの出力が入力される装置から入力されるセル廃棄に関する情報に基づき、前記予め定められた規則が変更される構成としてもよく、この場合、前記マトリクススイッチを用いるなら、前記ATMスイッチの出力が入力される装置から入力されるセル廃棄の発生もしくは頻度の増加を通知するセル廃棄アラームが前記制御信号として入力される構成とすることができる。また、前記メモリ素子を用いるならば、前記アドレス入力端子に、前記ATMスイッチの出力が入力される装置から入力されるセル廃棄の発生もしくは頻度の増加を通知するセル廃棄アラーム及び前記計数信号が入力される構成としてもよい。

【0016】さらに、他の構成として、本発明のATMスイッチバッファ読出制御装置は、所定の段数のシフトレジスタ手段と、該シフトレジスタ手段の予め定められた少なくとも1つの段の出力が入力され、排他的論理和を算出して得られる排他的論理和信号を前記シフトレジスタ手段の初段に帰還する排他的論理和手段と、前記シフトレジスタ手段の所定の段の出力信号に応じて所定のコネクション番号を出力するコネクション選択手段とを備えている構成としてもよい。また、本発明によるATMスイッチバッファ読出制御方法は、外部から入力されるクロック信号に含まれるパルスの数を計数する計数工程と、該計数工程で得られる計数値を所定の規則に従いコネクション番号に変換する変換工程とを含んでいる。

【0017】ここで、前記変換工程は、前記計数値と前記コネクション番号の対応関係を規定したテーブルを参照して前記コネクション番号を決定する参照工程を含んでもよく、あるいは、前記計数値を所定の規則に従い、変換値に変換する数値変換工程と、前記変換値と前記コネクション番号の対応関係を規定したテーブルを参照して前記コネクション番号を決定する参照工程とを含んでもよい。

【0018】さらに、前記変換工程は、前記計数値を所

定の規則に従い、変換値に変換する数値変換工程と、前記変換値と予め定められた値との大小を比較する比較工程と、該比較工程の結果、前記変換値の方が大きいことが判明したときは、前記計数工程を一旦中断する帰還工程と、前記変換値と前記コネクション番号の対応関係を規定したテーブルを参照して前記コネクション番号を決定する参照工程とを含んでもよい。

【0019】また、前記数値変換工程は、前記計数値を2進数表示した場合の各桁を逆順に並べ替えて得られる2進数表示値を前記変換値とする工程を含んでもよく、あるいは、疑似ランダム系列の1周期の所定の位置から前記計数値に応じて順に読み出した値を前記変換値とする工程を含んでもよい。

【0020】さらに、前記数値変換工程は、前記計数値から前記変換値への変換を、予め定められた初期値に、予め定められた2以上の自然数ずつ、前記計数信号の増加に応じて順次増加させて得られる増加自然数が予め定められた自然数より大きくない場合は前記増加自然数を前記変換値とし、前記増加自然数が前記予め定められた自然数より大きい場合は前記初期値に1を加えた値を前記変換値とし、さらに前記初期値と置き換える工程を含んでもよい。

【0021】また、前記ATMスイッチバッファ読出制御方法はさらに、外部装置の動作状態を監視し、その結果に応じて前記変換工程における、前記所定の規則を変更するアルゴリズム変更工程を含んでもよい。

【0022】

【発明の実施の形態】本発明の上記および他の目的、特徴および利点を明確にすべく、以下添付した図面を参照しながら、本発明の実施の形態につき詳細に説明する。

【0023】図1に本発明の第1の実施例の構成を示す。図1において図8と同じ参照数字の付いた構成要素は、従来例と同一であることを示す。本実施例では、従来例に対し、MSB-LSB入れ替え回路5、出力帯域判定回路6、カウンタ読み飛ばし回路7が新たに付加された構成となっている。

【0024】本ATMスイッチバッファ読出制御回路は、カウンタ回路1からの出力信号のMSBとLSBの入れ替えを行うMSB-LSB入れ替え回路5とその値が周期設定保持回路2の値より大きい場合にカウンタ回路1に対して読み飛ばし信号を送る出力帯域判定回路6と、出力帯域判定回路6からの読み飛ばし信号とセル読出タイミング信号のORを取りカウンタ回路1を動作させるためのカウンタ読み飛ばし回路7を有する。

【0025】以下、本実施の形態の動作につき説明する。周期設定保持回路2及びコネクション帯域設定保持回路3は従来例と同様にして設定を行い保持しておく。カウンタ回路1はセル読出タイミング信号により1セル処理時間に+1ずつカウントアップを行いそのカウンタ値をMSB-LSB入れ替え回路5に送出する。MSB

—LSB入れ替え回路5では図2に示すように2進数で示されたカウンタ値の最上位ビット(MSB)から最下位ビット(LSB)を反対に入れ替えを行う。出力帯域判定回路6ではMSB—LSB入れ替え回路5からの値(以下Kとおく)と周期設定保持回路2に保持されている値(Z)を比較し、 $K > Z$ である場合はカウンタ読み飛ばし回路7に対して読み飛ばし信号を送出する。カウンタ読み飛ばし回路7は読み飛ばし信号あるいはセル読出タイミング信号のいずれかが入力された場合カウンタ回路1に対してカウンタ動作信号を送出するため、カウ

$$A_0 * (2^0) + A_1 * (2^1) + A_2 * (2^2) + \dots + A_{(n-1)} * (2^{(n-1)}) + A_n * (2^n) \quad \text{--- (1)}$$

( $A_0, A_1, A_2, \dots, A_n$ はいずれも0又は1)  
MSB—LSB入れ替え回路5においてMSB—LSB

$$A_n * (2^0) + A_{(n-1)} * (2^1) + \dots + A_1 * (2^{(n-1)}) + A_0 * (2^n) \quad \text{--- (2)}$$

ここで、(1)式が1ずつ増加すると(2)式は図4のように中間値を取るように増減する。従って、この値をもとにコネクション帯域設定保持回路3からコネクション番号を検出することにより出力コネクション番号を分散することが可能となる。

【0029】図5は周期設定保持回路2の保持値 $Z=1$ の場合の具体例を示す説明図である。図5(a)に示すように、コネクション帯域設定保持回路3にはコネクション番号1に対して4/12、コネクション番号2に対して2/12、コネクション番号3に対して4/12、空帯域として2/12が割り付けられている。図5(b)に示すように、カウンタ回路1は出力値=3, 7, 11, 15の場合にはMSB—LSB入れ替え回路の出力値=12, 14, 13, 15 $>11$ となるため読み飛ばされ再度+1カウントアップされる。この状態でカウンタ回路1の出力値に従ってコネクション番号を出力すると図5(c)のようになるが、本回路を用いることにより図5(d)に示すように同一コネクション番号の連続出現の頻度を低減することが可能となる。

【0030】なお、本実施例では、カウンタ回路1の出力を、MSB—LSB入れ替え回路5において、MSB、LSBが逆になるように並べ替えたが、並べ替えの方法はこれに限られず、適宜の方法が可能である。例えば、ある初期値に順次ある自然数を加算した自然数に変換する方法を採用した入れ替え回路としてもよい。この場合、例えば、 $Z=11$ に対し、2を加算するものとする、カウンタ回路1の出力値1、2、3、・・・、11が、各々、1、3、5、7、9、11、2、4、6、8、10に変換される。この構成では、加算の結果がZを上回った場合は、初期値に1を加算した値を新たな初期値として、同様に2ずつ加算する。さらに、上記の順次加算する自然数を複数個用意し、本入れ替え回路に外部から入力される制御信号に従って適宜の自然数を選択する構成とすることもできる。この構成を採用した場

ンタはさらに+1カウントアップし、上記の動作を繰り返す。コネクション選択回路4では出力帯域判定回路6を通過してきた値をアドレスとして従来と同様にコネクション帯域設定保持回路3を検索し保持されている該当のコネクション番号を出力する。図3に本回路動作のフローチャートを示す。

【0026】カウンタ回路1の2進数で示された出力値は(1)式のようにになる。

【0027】

入れ替えられた値Kは(2)式のように表せる。

【0028】

合、上記の制御信号として、ATMスイッチの後段に接続される装置においてセル廃棄が発生し、あるいはその頻度が増大した場合に出力されるセル廃棄アラームを用いることができる。この構成を用いることにより、後段の装置でのセル廃棄が増加を防ぐように、入れ替えのアルゴリズムを変更することが可能となる。

【0031】また、入れ替え回路としては、

A. 入出力端子間の固定的な配線とする構成、  
B. 入力端子と出力端子を外部から入力される制御信号により選択的に接続するマトリクススイッチによる構成、  
C. 入力信号を読み出しアドレス信号とし、該当するアドレスに書き込まれたデータを入れ替え信号として読み出すメモリ素子、を用いることができる。特にB.及びC.の構成を採用した場合、B.においては、制御信号として上記セル廃棄アラームを用い、また、C.においては、入力信号として、K及びセル廃棄アラームを用いることにより、上述した後段の装置のセル廃棄の増加を防止しうる構成とすることができる。

【0032】図6に本発明の第2の実施例の構成を示す。本実施例においては、上記第1の実施例におけるカウンタ回路1とMSB—LSB入れ替え回路5に替えて、シフトレジスタ91と排他的論理和92を用いた、図7に示す構成を有するM系列発生回路21を用いている。M系列発生回路21にセル読出タイミング信号の立ち上がりが到来する度に、シフトレジスタ91の各段出力が変化する。シフトレジスタ91を、セル読出タイミングが一定数到来する毎にリセットし、初期値に戻すため、セル読出タイミングをカウンタ93に入力して得られる出力をコンパレータ94に入力する。コンパレータ94にてカウンタ93出力が所定値に達したことを検出すると、コンパレータ94は、リセット信号をシフトレジスタ91及びカウンタ93に送出し、両者をリセットする。シフトレジスタ91の各段の出力で構成される信



号の変化は、十分なランダム性を有しているため、同一のコネクション番号がコネクション選択回路4から連続して出力される頻度は十分に小さい。なお、本実施例では、M系列発生回路21を構成するシフトレジスタ91の段数を4としたが、Zの値に応じて適宜の段数を選択することができる。

#### 【0033】

【発明の効果】以上説明したように、本願発明によれば、カウンタの2進表現出力値の並べ替え（例えば、MSBからLSBを反対に並び替える等）、かつ、出力帯域外の値の場合にはカウンタ値を読み飛ばすことにより、出力するコネクション番号の分散化を図り、各コネクション毎では出来るだけ出力のバースト性を低減することを實現したATMスイッチが提供される。

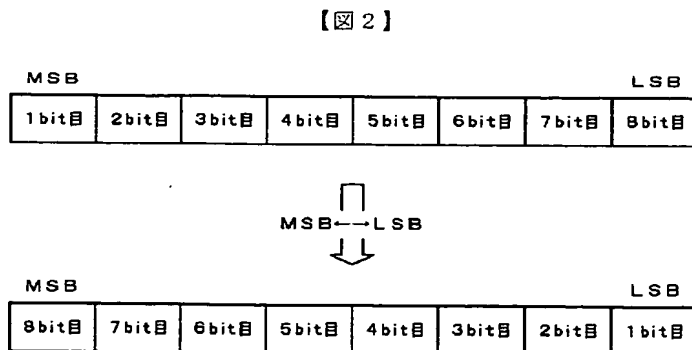
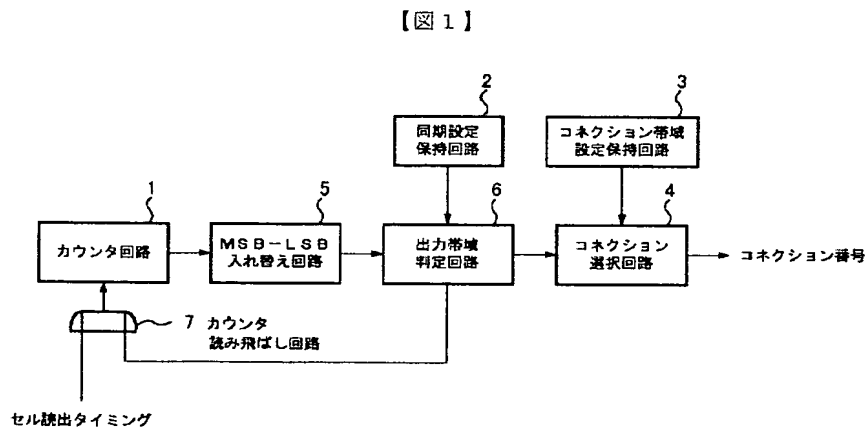
【0034】また、後段装置からのセル廃棄アラームにより、並べ替えの方式を変更することにより、セル廃棄の増加をより確実に防ぐことが可能となる。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施例を示すブロック図である。

【図2】 本発明の第1の実施例におけるMSB-LSB入れ替え動作を説明する図である。

【図3】 本発明の第1の実施例の動作を示すフローチャートである。



【図4】 本発明の第1の実施例におけるMSB-LSB入れ替え後の値を説明する図である。

【図5】 本発明の第1の実施例の動作を説明する図である。

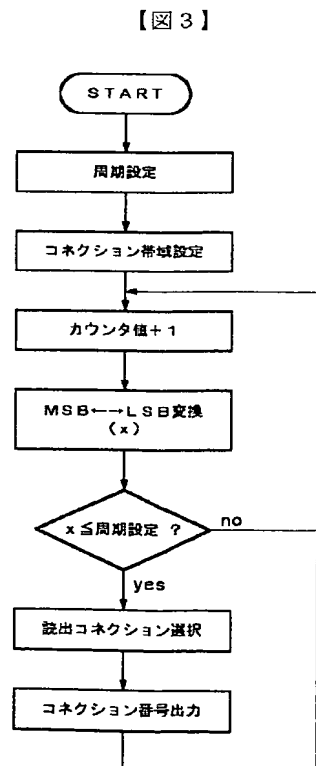
【図6】 本発明の第3の実施例を示すブロック図である。

【図7】 本発明の第3の実施例におけるM系列発生回路21の構成を示す図である。

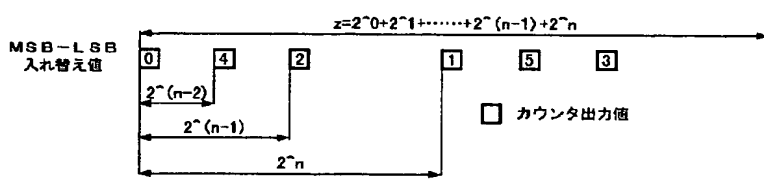
【図8】 従来例の構成を示すブロック図である。

#### 【符号の説明】

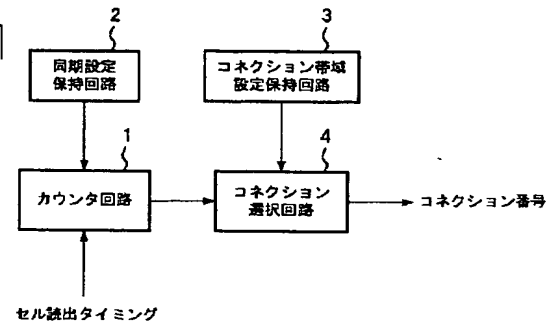
- 1 カウンタ回路
- 2 同期設定保持回路
- 3 コネクション帯域設定保持回路
- 4 コネクション選択回路
- 5 MSB-LSB入れ替え回路
- 6 出力帯域判定回路
- 7、67 カウンタ読み飛ばし回路
- 16 出力判定回路
- 21 M系列発生回路
- 91 シフトレジスタ
- 92 排他的論理和回路
- 93 カウンタ
- 94 コンパレータ



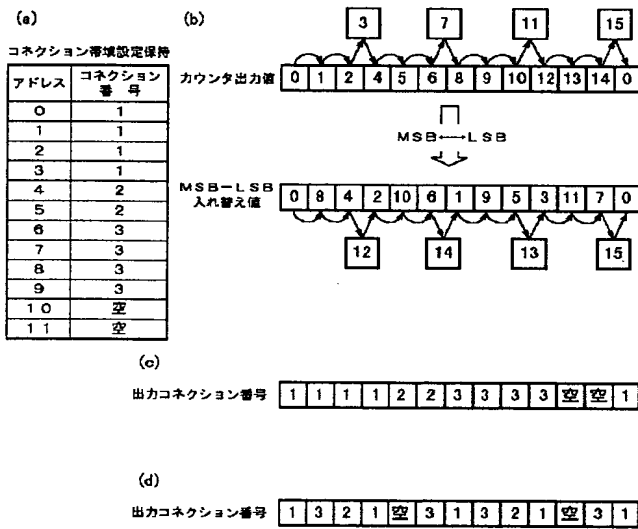
【図4】



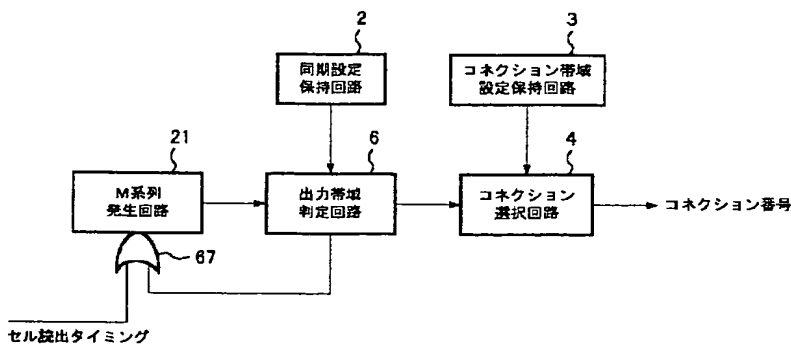
【図8】



【図5】



【図6】



【図 7】

